

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-259071

(43)Date of publication of application : 03.10.1997

(51)Int.Cl.

G06F 13/28  
G06F 13/30  
G06F 13/362

(21)Application number : 08-062999

(71)Applicant : HITACHI LTD  
HITACHI HARAMACHI  
SEMICONDUCTOR LTD  
HITACHI ENG CO LTD

(22)Date of filing : 19.03.1996

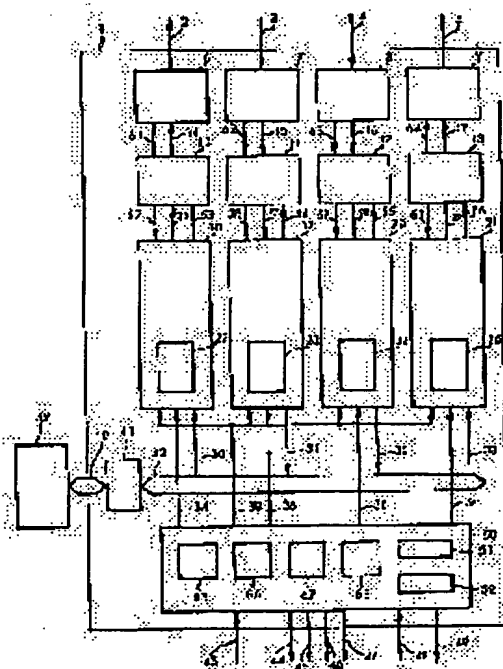
(72)Inventor : YASUJIMA YOSHIKI  
ICHIGE KEIJI  
WATANABE YASUO  
KUBOKI SHIGEO  
FURUHASHI KENJI  
MATSUSHITA YUJI  
TOSA AKIRA  
HOMITSU YOSHIKI

## (54) COMMUNICATION CONTROLLER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the burdens on software, to freely set the hardware and software processing sharing ratio corresponding to a system, and to realize a high throughput by providing a control circuit for holding in-discriptor information, data transfer word number and transfer word number to a buffer corresponding to respective DMA controller channels in the case that the DMA transfer request of high priority is generated.

**SOLUTION:** This controller is provided with a means 50 for making a first DMA controller channel immediately abandon a bus right to the bus right request of a second DMA controller channel whose priority is higher than the first DMA controller channel while the first DMA controller channel is operated as a bus master and the means 65-68 for storing and holding the operation state of the first DMA controller channel immediately before. Then, when the bus right is returned to the first DMA controller channel, DMA transfer is continuously restarted from the operation state.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

2020年01月04日 14:00:00

**THIS PAGE BLANK (USPTO)**



(19)日本国特許庁 (J P)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開平9-259071

(43)公開日 平成9年(1997)10月3日

(51)Int.Cl. <sup>°</sup>	識別記号	F I		
G06F 13/28	310	G06F 13/28	310	B
13/30		13/30		
13/362	510	13/362	510	E

審査請求 未請求 請求項の数 7 O L (全14頁)

(21)出願番号 特願平8-62999

(22)出願日 平成8年(1996)3月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233273

日立原町電子工業株式会社

茨城県日立市弁天町3丁目10番2号

(71)出願人 390023928

日立エンジニアリング株式会社

茨城県日立市幸町3丁目2番1号

(72)発明者 安島 嘉昭

茨城県日立市幸町三丁目2番1号 日立エンジニアリング株式会社内

(74)代理人 弁理士 小川 勝男

最終頁に続く

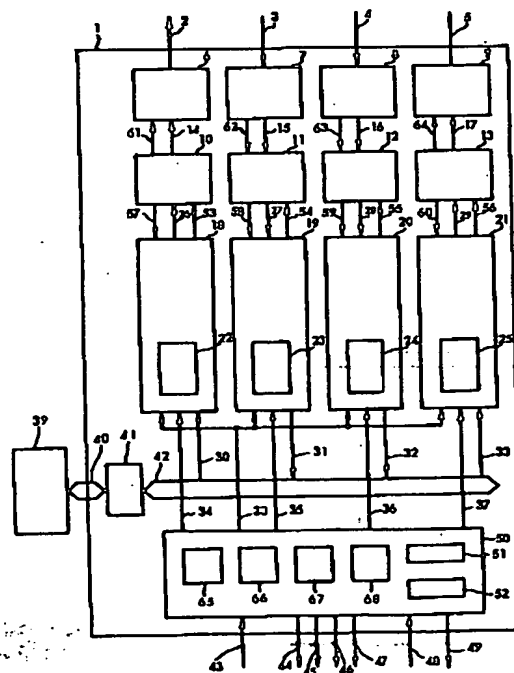
(54)【発明の名称】 通信制御装置

(57)【要約】

【課題】ソフトウェアの負担を軽減でき、かつシステムに応じてハードウェアとソフトウェア処理分担比率を自由に設定でき高いスループットを実現できる多チャネルDMAコントローラを内蔵する通信制御装置を提供すること。

【解決手段】送信器、受信器、メモリ装置及び送信/受信器とメモリ装置間でデータバスを介してDMAデータ転送を行う多チャネルのDMAコントローラと、第1のDMAコントローラチャネルがバスマスタとして動作中に、第1のDMAコントローラチャネルよりも優先順位の高い第2のDMAコントローラチャネルのバス権要求に対して、第1のDMAコントローラチャネルが直ちにバス権を放棄する手段と、放棄直前の第1のDMAコントローラチャネル動作状態を記憶、保持する手段とを備え、第1のDMAコントローラチャネルにバス権が復帰した時、動作状態からDMA転送を継続して再開する。

図 1



## 【特許請求の範囲】

【請求項 1】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介してダイレクトメモリアクセス（DMA）データ転送を行う多チャンネルの DMA コントローラと、

第 1 の DMA コントローラチャンネルがバスマスタとして動作中に、前記第 1 の DMA コントローラチャンネルよりも優先順位の高い第 2 の DMA コントローラチャンネルのバス権要求に対して、前記第 1 の DMA コントローラチャンネルが直ちにバス権を放棄する手段と、前記放棄直前の前記第 1 の DMA コントローラチャンネル動作状態を記憶、保持する手段とを備え、前記第 1 の DMA コントローラチャンネルにバス権が復帰した時、前記動作状態から DMA 転送を継続して再開することを特徴とする通信制御装置。

【請求項 2】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介して DMA データ転送を行う DMA コントローラを備えた通信制御装置において、

前記メモリ装置は少なくとも複数の送受信データ格納領域（バッファ）と前記送受信データ格納領域の各々に関する情報を格納する領域（ディスクリプタ）を有し、前記 DMA コントローラは前記ディスクリプタの読み出し及び書き込みを終了したことを示す、ディスクリプタ内に設けられたオーナーシップビットをセットし、かつ他のバスマスタ又はホストプロセッサが前記送受信データの処理終了後、前記オーナーシップビットをリセットすることを特徴とする通信制御装置。

【請求項 3】請求項 2 記載の通信制御装置において、前記 DMA コントローラによる前記ディスクリプタへの前記オーナーシップビットのセット機能を有効にするか無効にするかを選択することが可能な選択手段を設けたことを特徴とする通信制御装置。

【請求項 4】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介して DMA データ転送を行う DMA コントローラを備え、DMA 転送サイクル長を任意に設定する手段を有することを特徴とする通信制御装置。

【請求項 5】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介して DMA データ転送を行う DMA コントローラを備え、前記 DMA コントローラが一度バス権を放棄した後、再び前記 DMA コントローラがバス権を要求するまでのサイクル数を任意に設定する手段を有することを特徴とする通信制御装置。

【請求項 6】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介して DMA データ転送を行う DMA コントローラを備え、前記 DMA コントローラの動作を中断する外部指示信号を入力する DMA アポート入力端子を有することを特徴とする通信

制御装置。

【請求項 7】送信器、受信器、メモリ装置及び該送信／受信器と該メモリ装置間でデータバスを介して DMA データ転送を行う多チャンネルの DMA コントローラを備え、バス権を獲得している前記 DMA コントローラチャンネルを識別するチャンネルアドレスを出力する出力端子を有することを特徴とする通信制御装置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

10 【発明の属する技術分野】本発明は、データ通信分野で利用され、システム側で制御、生成するパラレルデータを送信器によりシリアルデータに変換し、接続される回線へ出力する、あるいは接続される回線より入力されるシリアルデータを受信器により解釈しパラレルデータに変換し、システム側へ出力する通信制御装置に関する。

## 【 0 0 0 2 】

【従来の技術】従来の通信制御装置では、これに内蔵される DMA（ダイレクトメモリアクセス）コントローラにおいて、使い勝手、処理能力（スループット）、信頼性の点で下記に述べるような不都合があった。

20 【 0 0 0 3 】（1）より優先順位の高い DMA コントローラチャンネルのバス権要求に対して、ディスクリプタに属するメモリ空間上のバッファに対するデータ転送期間にのみ DMA コントローラ間のチャンネル切り換えが行えるが、ディスクリプタをアクセスしている期間中の DMA コントローラ間のチャンネル切り換えは不可能で、該ディスクリプタへのアクセスが終了するまで待つ必要があった。そのため、優先順位の高い DMA コントローラチャンネルがバス権を要求した場合でも、すぐにチャンネル切り換えが行われず待たされ、該 DMA コントローラとしての処理能力を低下させてしまい、システムのフレーム生成、解釈の処理能力（スループット）を低下させる問題があった。

30 【 0 0 0 4 】（2）DMA 要求は送信器、受信器からなるシリアル部の状態によってのみ発生するため、一度 DMA コントローラがバス権を獲得、すなわちバスマスタとして動作し始めると他のバスマスタにバス権が譲渡されないことが多くシステムバスの占有率が非常に高かった。

40 【 0 0 0 5 】他のバスマスタ、例えばマイクロプロセッサ（MPU）が何らかの処理を行う場合、まずバスマスタとして動作している DMA コントローラにバス権を放棄させる処理を行う。

50 【 0 0 0 6 】緊急性を有する DMA コントローラの動作中断要求に対して、MPU は、DMA コントローラにバスアクノリーッジ信号を返すなどしてバス権を放棄させた後、通常内蔵レジスタに各種制御コマンドをライトする。バス権の調停は通常アービトレーション回路によって行われ、このバス調停時間及びバス権放棄、獲得に要する時間がオーバーヘッドとなり緊急を要する場合問題と



なっていた。

【0007】(3) バスマスタとして動作しているDMAコントローラは、ディスクリプタの先頭アドレスを示す内蔵のカレントディスクリプタアドレスレジスタに設定された値を元にメモリ空間上のディスクリプタを読み込み、該ディスクリプタの指示する情報に従い次々とメモリ空間上のバッファをチェインしながらDMA転送を実行していく。しかし、ディスクリプタそのものにDMAコントローラが一度読み出し及び書き込み動作(アクセス)を行ったことを示すステータスを持たないため、一度アクセスしたディスクリプタ及びバッファへもディスクリプタの設定によっては再びアクセスしてしまい、前回アクセスした時の情報を書き換えてしまう恐れがあった。そのため、MPUは常にDMAコントローラの動作の状態を把握しながら各ディスクリプタに属するメモリ空間上のバッファの処理を行わなければならなかった。これは、MPUの処理能力を低下させる一原因となっていた。

【0008】(4) 従来、多チャネルのDMAコントローラにおいて、通信制御装置又は通信制御用LSIそのものがバス権を獲得したことを示す出力端子はあったが、内蔵のどのDMAコントローラチャネルがバス権を獲得しているかを示す出力端子がなく、MPUが、現在いずれのDMAコントローラが動作しているのかを把握することは不可能であった。ユーザがソフトウェアを開発する上で、どのDMAコントローラチャネルがバス権を獲得しているかを把握できないために、使い勝手が悪く、ソフトウェア開発工数の増大をもたらしていた。

【0009】

【発明が解決しようとする課題】本発明の目的は、上記従来技術の問題点を解決し、多チャネルDMAコントローラを内蔵する通信制御装置において、ソフトウェアの負担を軽減でき、かつシステムに応じてハードウェアとソフトウェア処理分担比率を自由に設定でき高いスループットを実現できる通信制御装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明では、他のDMAコントローラチャネルにより優先順位の高いDMA転送要求が発生した場合、各DMAコントローラチャネルに対応してディスクリプタ内情報、データ転送語数(ディスクリプタのアクセス期間に該DMA要求が発生した場合)、及びバッファへの転送語数(バッファ転送期間に該DMA要求が発生した場合)を保持する制御回路を設ける。

【0011】また、DMAデータ転送サイクル長を任意に設定できるレジスタ、及びDMAコントローラがバス権を放棄した後再びバス権を要求するまでのサイクル数を任意に設定できるレジスタを設ける。更に、バスマスタとして動作しているDMAコントローラの動作を他の

バスマスタ、例えばMPUがバス権を獲得せずに中断できるようにアボート入力端子を設け、直接外部信号により該DMAコントローラの動作をホールド状態にできるようにする。

【0012】更に、DMAコントローラが一度アクセスしたディスクリプタに対して、他のバスマスタ、例えばMPUがバッファの処理を終了する前に再び同一のディスクリプタをDMAコントローラがアクセスしてしまうことを防止するため、メモリ空間上のディスクリプタ内に一度ディスクリプタのアクセスを行ったことを示すフラグであるオーナシップビットを設ける。オーナシップビットのセットをDMAコントローラが行い、リセットを他のバスマスタ、例えばMPUが行うようにする。セットされたままのオーナシップビットをディスクリプタのアクセスによりDMAコントローラが読み込んだ場合、DMAコントローラは、一定期間において再びディスクリプタのアクセスを行う。一定期間待つためにフリーランカウンタを使用し、フリーランカウンタの値がall 1 になった時、再びディスクリプタの読み込みを行うようにする。オーナシップビットがリセットされたことを確認した後バッファに対するデータ転送を開始するようにすることでディスクリプタ及びバッファの書き換えを防止することが可能である。

【0013】更に、いずれのDMAコントローラチャネルがバスマスタとして動作しているかを他のバスマスタ、例えばMPUが把握できるようにバス権を獲得しているDMAコントローラチャネルのアドレスを出力するチャネルアドレス出力端子を設ける。該チャネルアドレス出力端子により、MPUはシステムバス(ソフトウェア)を介さずに現在バスマスタとして動作しているDMAコントローラがいずれのチャネルであるかを容易に把握でき、ユーザがソフトウェアを組む上で使い易くなる。又、MPUはDMAコントローラの各チャネル状態を素早く把握することができる。

【0014】

【発明の実施の形態】図1は本発明の第1の実施例を示す。

【0015】1は、通信制御装置であり、複数の部品で構成してもよいし、1個あるいは複数のLSIとして構成される。6、9は、送信器であり、7、8は受信器、10、13は送信FIFO(先入先出バッファ)、11、12は受信FIFOであり、これらはシリアルブロックを構成する。18~21はDMAコントローラチャネル、50はバス調停回路、42は内部データバス、39は外部メモリ、40は外部バス、41は該外部バス40と該内部データバス42とを接続するためのバスインタフェースである。上記バス調停回路50は、DMA中断時のディスクリプタまたはバッファデータの転送状態を記憶、保持するディスクリプタ/バッファ転送状態保持回路65~68、DMA転送サイクル期間制御回路5

1、非DMA転送サイクル（スレーブ）期間制御回路52から構成される。なお、該DMA転送サイクル期間制御回路51、非DMA転送サイクル（スレーブ）期間制御回路52の内部構成については図3において後述する。

【0016】本実施例では、送信器、受信器共2個ずつ描いてあり、シリアル2チャンネルとして描いてあるが、本発明は、シリアルチャンネルの数を制限するものではない。送信器、受信器は、本実施例では、ビット同期プロトコル、バイト同期プロトコル、調歩同期といった複数のプロトコルによる処理が可能であるが、これらの異なる組み合わせでもよいし、他のプロトコル、例えば、イーサネット、フレームリレー、ATM、ISDN、その他のプロトコルを単独、あるいは組み合わせて処理が可能になるようにしてもよい。

【0017】次に動作について説明する。送信FIFO10(13)から出力される、パラレル送信データ14(17)は、制御信号61(64)に従い送信器6(9)によりシリアルに変換され、送信データ2(5)として送信される。受信データ3(4)は、受信器7(8)によりパラレルデータ15(16)に変換され、受信FIFO制御信号62(63)により受信FIFO11(12)に格納される。

【0018】バス調停回路50は通常DMAコントローラチャンネル18~21のいずれかにチャンネル選択信号34~37によりバス権を与えるものである。DMAコントローラチャンネル18~21は、送信FIFO10、13及び受信FIFO11、12からの状態信号57、58及び59、60に従い、送信FIFO10、13及び受信FIFO11、12と内部データバス42との間でデータ転送を行い、同時にバスインタフェース41を制御して、外部メモリ39と外部バス40を介してデータ転送を行う。なお、外部バス40には外部メモリ39の他マイクロプロセッサ(MPU)、マスタユニット(図示せず)などが接続される。

【0019】送信は、DMAコントローラチャンネル18~21が内部データバス42、バス30(33)を介し、転送制御信号53(56)によりデータバス26(29)を介して送信FIFO10(13)にデータをDMA転送することにより行われる。受信は、DMAコントローラチャンネル19(20)がデータバス27(28)を介し、転送制御信号54(55)により受信FIFO11(12)のデータを読み出し、バス31(32)を介して内部データバス42へ該データを出力することにより行われる。

【0020】バス調停回路50は外部のバスマスタに対し、バス要求信号を発行し、外部のバスマスタよりバスアクノリッジ信号が返されると、チャンネル選択信号線34~37のいずれかをアクティブレベルに設定(アサート)し、接続先のDMAコントローラチャンネルにバス権を与える。

【0021】このときDMAコントローラの各チャンネルに対応したチャンネルアドレス出力端子44~47の出力のいずれかをアサートする。該DMAコントローラの各チャンネルに対応したチャンネルアドレス出力端子44~47の出力により外部の他のバスマスタは、現在どのDMAコントローラチャンネルが動作しているのかをバスを介することなく(ソフトウェアを介さずに)把握することが可能となる特徴を有する。

【0022】ディスクリプタ内の情報を読み込むためには、複数のバスサイクルが必要であるが、チャンネル切り換え時、各DMAコントローラチャンネルに対応させてどこまでの情報を現在読み込んだかの情報保持、及びディスクリプタに属するメモリ空間上のバッファに対しどこまでデータ転送を行ったのかの情報保持を行う、ディスクリプタ/バッファ転送状態保持回路65~68を有することにより、再び同一のDMAコントローラチャンネルにバス権が戻ってきても、次にディスクリプタ内のどの情報を読み込めばよいのか、あるいはディスクリプタに属するメモリ空間上のバッファのどこに対し、またはどこからデータ転送を行えばよいのかを認識できる。このように、DMAコントローラチャンネル間のチャンネル切り換えは、バス調停回路50により行われメモリ空間上のディスクリプタアクセス期間、ディスクリプタに属するメモリ空間上のバッファに対するデータ転送期間に関係なく任意の時間に行うことが可能である特徴を持つ。

【0023】本実施例では、DMAコントローラチャンネル間のチャンネル切り換えはバス調停回路50により行っているが、バス調停回路50以外によって行ってもよい。尚、本発明は、ディスクリプタに設定される情報、容量及びバッファの容量に何ら制限を与えるものではない。

【0024】バス調停の方式は、DMAコントローラ各チャンネルに順にバス権を与える回転優先順位方式でもよいし、特定チャンネルに優先的にバス権を与える固定優先順位方式でもよいしランダムにバス権を与える方式でもよく、本発明は、優先順位決定方式になんら制限を与えるものではない。

【0025】バスマスタは、外部に存在してもよいし、もちろん通信制御装置に内蔵してもよい。又、バスマスタの数は、1個でもよいし、複数存在してもよい。

【0026】本実施例では、外部バス40の先に外部メモリ39が接続されているが、バスマスタ、メモリあるいは周辺装置のいずれか、あるいは全てが接続される。これらは全て通信制御装置1の外に位置してもよく、又いずれかあるいは全てが、通信制御装置1に内蔵されてもよい。

【0027】本実施例では、シリアル速度、システムクロック周波数ともに制限を与えるのではなく、任意のいかなる値でもよい。たとえばシリアル速度25MHz、システムクロック周波数33MHz、外部バス40のバス

幅32ビット、DMA転送サイクル2クロック/サイクルとすればDMA転送速度は $33\text{MHz} \times 4\text{Byte}/2$  (クロック/サイクル) =  $66\text{MByte/s}$ となる。

【0028】図2を用いて、本実施例におけるDMA転送のフローを説明する。

【0029】DMA転送は、MPUによる内蔵レジスタアクセスによりイネーブル状態にされることにより開始する。DMAコントローラは、内蔵されるディスクリプタの先頭アドレスを示す、カレントディスクリプタアドレスレジスタ(CDA)の値と、アクセスを行うべき末尾のバッファの次のバッファを示すディスクリプタの先頭アドレスを示すエーディスクリプタアドレスレジスタ(EDA)の値との比較を行う。CDAとEDAの値が一致すれば、DMA転送は終了する。

【0030】不一致であった場合、DMAコントローラは、CDAに設定された値に従い、ディスクリプタ内の次のディスクリプタの先頭アドレスを示すチェインポインタ、アクセスを行うべきメモリ空間上のバッファの先頭アドレスを示すバッファポインタ、アクセスを行うべきメモリ空間上のバッファの送受信情報を示すステータス及び単位バッファ領域容量をバイト単位で示すデータ長の読み込みを行う。これらディスクリプタのメモリ空間上のバッファの情報を読み込んだ後、ディスクリプタアクセスを行ったことを示すメモリ空間上のバッファの情報を示すステータス内のフラグであるオーナシップビットの判定を行う。オーナシップビットがセットされていれば、内蔵のフリーランカウンタ(詳細は図5を用いて説明する)の値がall1になるのを待ってから再び該ディスクリプタ内のステータス、データ長の読み込みを行い、オーナシップビットがMPUによりリセットされていることを確認した後、バッファポインタの値に従いバッファに対するデータ転送を開始する。オーナシップビットがリセットされていれば、すぐにバッファポインタの値に従いバッファに対するデータ転送を開始する。

【0031】該ディスクリプタより読み込んだデータ長の値分のデータ転送を実行すると、DMAコントローラは該ディスクリプタ内のステータスの書き込みを行いオーナシップビットをセットする。その後、すでに読み込んであるチェインポインタの値に従い次のディスクリプタのアクセスを行う。以上を繰り返しながらDMAコントローラはDMA転送を実行していく。

【0032】図3(a)はバス調停回路50におけるDMA転送サイクル可変回路のブロック構成を示したもので第2の実施例を示す。図3(b)は動作タイムチャートを示したものである。DMA転送サイクル長可変機能、及び非DMA転送サイクル長(バス権を放棄した後再びバス権を要求するまでのサイクル数)可変機能は、DMA転送サイクル期間制御回路51、非DMA転送サイクル期間制御回路52それにバス権要求生成回路78からなる。DMA転送サイクル期間制御回路51はDM

A転送サイクル数設定レジスタ51'、DMA転送サイクル数カウンタ74、比較器76で構成される。一方、非DMA転送サイクル期間制御回路52は非DMA転送サイクル数設定レジスタ52'、サイクル数カウンタ75、比較器77で構成される。

【0033】以下動作について図3(b)のタイムチャートを用いて説明する。DMA転送サイクル数設定レジスタ51'、非DMA転送サイクル数設定レジスタ52'は、図1中のバス調停回路50内に存在し、バス権要求信号端子49からの信号発行を次に述べるように制御する。

【0034】まず、DMA転送開始後、DMA転送サイクル数設定レジスタ51'の設定値と、DMA転送サイクル数をカウントするDMA転送サイクル数カウンタ74の値を比較器76で比較し、一致するまでバス権要求生成回路78はバス権要求信号端子49からの信号をアサート(アクテブレベル'L'レベルを出力)する。該レジスタ51'(設定値:n)と該カウンタ74の値が一致すると、該比較器76の出力により図3(b)の時刻BNでバス権要求信号はネグート('H'レベル出力)される。上記バス権要求信号のネグートにより外部マスタ、MPUはバスアクノリッジ信号端子48からの信号(図1)をネグート状態('H'レベル出力)にして返すとともにバス権を獲得し、同時に該DMAチャンネルはスレープ状態となる。

【0035】DMAコントローラより更にバス権の要求があれば、一度バス権を放棄した後再びバス権を要求するまでのサイクル数を設定する、非DMA転送サイクル数設定レジスタ52'の設定値mと、バスアクノリッジ信号端子48の信号のネグート時刻BANからカウントを開始する、サイクル数カウンタ75の値を比較器77で比較し、両値が一致した時刻BAでバス権要求生成回路78が再びバス権要求信号端子49の信号をアサートするようにする。

【0036】本実施例では、DMA転送サイクル数設定レジスタ51'、及び非DMA転送サイクル数設定レジスタ52'は、バス調停回路50内に存在するが、どこに存在してもかまわない。又、本発明は、バス要求を生成するための構成に制限を与えるものではない。

【0037】図4(a)は第3の実施例を示したもので、バスを介することなくDMAコントローラの動作を中断できる機能に関する。図4(b)はその動作タイムチャートを示す。

【0038】図1において、外部アボート入力端子43がアサートされることによりDMAチャンネルアボート信号ライン38の信号がアサートし、全DMAコントローラチャンネルの動作を中断させる。図4(a)はDMAイネーブルレジスタ83を示したもので、84はイネーブルビットを示す。MPUによる書き込み動作によりセット信号85がアサートし、DMAイネーブルレジスタ8

3内のイネーブルビット84がセットされ、DMAコントローラはイネーブル状態となる。同時にバス権要求信号端子49の信号がアサートし、MPUはバスアクノリッジ信号端子48の信号をアサートして返し、DMAコントローラにバス権を譲渡する。

【0039】一方、DMA転送サイクル中に外部アポート入力端子43が時刻ABAでアサートされると、リセット信号86がアサートし該イネーブルビット84がリセットされる。同時にバス権要求信号端子49が時刻BRNにおいてネゲートする。以上述べたように、イネーブルビット84は、他のバスマスタ例えばMPUによる書き込み動作、ハードウェアリセットによりリセットされるが、外部アポート入力端子43によっても直接リセットされる。このアポート入力によりDMAコントローラがバス権を獲得しているか否かに関係なく、DMAコントローラの動作を中断させることが可能となりユーザがソフトウェアを開発し易くなる。

【0040】本実施例では、外部アポート入力端子43がアサートされるとDMAコントローラ全チャンネルが同時に動作を中断するが、各チャンネル毎に動作を中断するようにしてもかまわない。

【0041】図5(a)は第4の実施例を示すもので、メモリ空間上のディスクリプタの再アクセス防止に関するものである。図5(b)はメモリ構成を示す。

【0042】前出のものと同一もしくは同等物については同じ符号にて示す。また、全体の構成は図1とほぼ同じであるので第3の実施例特有の構成についてのみの説明にとどめる。

【0043】DMAコントローラチャンネル18~21はそれぞれオーナシップビット(OSB)判別回路22~25、DMAコントローラチャンネルのバス権要求生成回路93~96(図1に図示せず)から構成され、バス調停回路50はバス権要求生成回路78、6ビットフリーランカウンタ97(図1に図示せず)から構成される。動作についてメモリ構成を示す図5(b)を参照しながら説明する。DMAコントローラは、まずメモリ空間上のディスクリプタ領域91をアクセスし、次のディスクリプタの先頭アドレスを示すチェインポインタ領域87、データ転送を行うべきメモリ空間上のバッファの先頭アドレスを示すバッファポインタ領域88、バッファポインタが示すメモリ空間上のバッファ内のデータに関する送受信情報を示すステータス領域89、及び該バッファポインタ領域88が示すメモリ空間上のバッファ内のデータ長をバイト単位で示す、データ長領域90を読み込み、バッファ領域92に対するデータ転送を開始する。ステータス領域89をDMAコントローラが読み込んだ時、該OSB判別回路22~25が該ステータス領域89内オーナシップビットのセット/リセットを判別し、セットされていれば該6ビットフリーランカウンタ97の値がall11になるのを待つ。6ビットフリーランカ

ウンタ97の値がall11になると、all11を示す信号線98がアサートして各DMAコントローラチャンネルバス権要求生成回路93~96にバス権要求信号99~102を出力させ、バス権要求生成回路78がバス権要求信号49を発行する。この後再度ステータス89を読み込み、オーナシップビットがMPUによりリセットされたことを確認した後データ転送を開始する。

【0044】本実施例では、一定時間待つために、6ビットのフリーランカウンタを使用しているが、この待ちサイクル数は任意であってよい。また、待たなくてもよい。本発明は待つための手段に何ら制限を与えるものではない。該ディスクリプタはチェインポインタ、バッファポインタ、ステータス、データ長領域で構成されているが、他のいかなる構成でもよく、本発明はディスクリプタの構成に特に制限を与えるものではない。

【0045】図6は第5の実施例を示すもので、各DMAコントローラのチャンネルアドレス出力端子信号のタイミングを説明するタイムチャートである。

【0046】本実施例では、DMAコントローラチャンネルは、チャンネル0、チャンネル1、チャンネル2、チャンネル3の4個あるものとする。

【0047】DMA転送サイクル中のチャンネル0、チャンネル1、チャンネル2、チャンネル3は、各DMAコントローラチャンネルの内どのチャンネルが動作しているかを示している。通信制御装置がバス権を獲得したことを示す出力端子104(図1に図示せず)は、DMAコントローラがバスマスタとして動作している期間アサート(アクティブ'L'レベル出力)したままである。チャンネル0のチャンネルアドレス出力信号44はチャンネル0のDMA転送サイクル期間アサートする。同様に、チャンネル1のチャンネルアドレス出力信号45、チャンネル2のチャンネルアドレス出力信号46、チャンネル3のチャンネルアドレス出力信号47は同様にそれぞれチャンネル1、チャンネル2、チャンネル3のDMA転送サイクルの期間アサート(アクティブ'L'レベル出力)する。本実施例では各DMAコントローラチャンネルに対応した端子からチャンネル指示信号が出力されるので外付けの回路(デコード)が不要である特徴を持つ。

【0048】本実施例では、DMAコントローラが4チャンネル存在したため、各チャンネルに対応したチャンネルアドレス出力は4本であったが、本発明では、2本の端子からバイナリ信号を出力してもよく、DMAコントローラのチャンネル数、各チャンネルに対応したチャンネルアドレス出力の方法に何ら制限を与えるものではない。

【0049】図1に第1の実施例として示した、通信制御装置本体1を通信システムに適用した第6の実施例を図7に示す。

【0050】113は通信システム、111はMPU、110はリードオンリメモリ(以下ROMと略す)、109はランダムアクセスメモリ(以下RAMと略す)、1

1-1~1-4は通信制御装置、112はこれらを接続するシステムバスである。また、Rx1~Rx8はそれぞれ通信回線RD1~RD8からの受信データを復調する受信変換回路、Tx1~Tx8は送信データ2, 5をそれぞれ通信回線TD1~TD8に出力する送信変換回路である。MPU111は、ROM110内のプログラムに従い、システムバス112に接続される他のバススレーブの制御を行う。通信制御装置1-1~1-4は、MPU111によりバス権を与えられるとシステムバス112のバスマスタとなり、システムバス112を介してRAM109との間でデータ転送を行う。すなわち、送信データの生成(MPUによるRAMへのデータ書き込み)、RAMに転送される受信データの解釈を行う。

【0051】MPU111は、4ケの通信制御装置1-1~1-4に対応したバスアクリリッジを備え、いずれかの通信制御装置1-1~1-4にバス権を与える制御を行う。バス権を与えられた通信制御装置は通信回線とRAMとの間でDMAデータ転送を行う。本構成例では上記実施例で述べた特徴を有する、多チャネル通信回線間のバケット交換、ATM通信におけるセル交換を実現することができる。

【0052】本実施例では、通信制御装置本体を4ケ描いてあるが、数に制限を与えるものではない。又、MPUは、バスアクリリッジを各通信制御装置本体に対応して備えずに、他のいかなる制御方法をとってもかまわない。更に本実施例では、ROM, RAM, MPUを各1ケずつ描いてあるが、数に制限を与えるものではなく、いかなる組み合わせの構成にしてもよい。基盤113を複数設けて、他の何らかの制御装置を用いて制御する構成にしてもかまわない。

#### 【0053】

【発明の効果】本発明によれば、送信中のアンダラン、受信中のオーバランの発生を低減でき、データの再転送率を低下させることによりシステム全体のスループット向上、及び信頼性の向上が図れる効果がある。

【0054】また、ソフトウェアの負担を軽減でき、又ハードウェアとソフトウェアの分担を自由に設定可能で、個々の応用に応じて最適なシステムを構築することができる効果がある。

【0055】以上によりユーザがソフトウェアを容易に開発可能な通信制御装置を提供可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す通信制御装置のブロック構成図である。

【図2】第1の実施例を説明する動作フロー図である。

【図3】(a)は本発明の第2の実施例を示すブロック

構成図である。(b)は本発明の第2の実施例の動作を示すタイムチャート図である。

【図4】(a)は本発明の第3の実施例を示すブロック構成図である。(b)は本発明の第3の実施例の動作を説明するタイムチャート図である。

【図5】(a)は本発明の第4の実施例を示すブロック構成図である。(b)は本発明の第4の実施例の動作を説明するタイムチャート図である。

【図6】本発明の第5の実施例の動作を説明するタイムチャート図である。

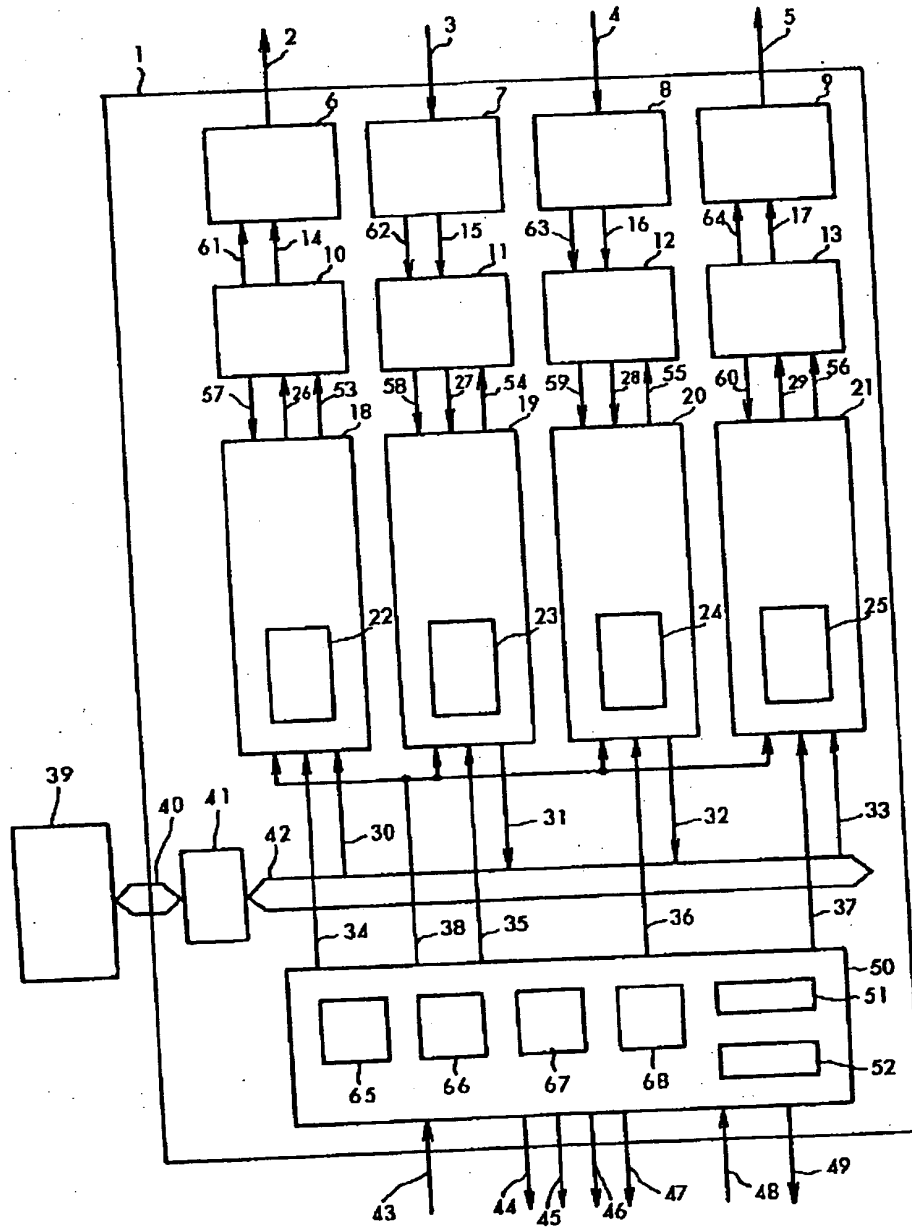
【図7】本発明の第1の実施例における通信制御装置を適用した、第6の実施例を示すブロック構成図である。

#### 【符号の説明】

1...通信制御装置、6, 9...送信器、7, 8...受信器、10, 13...送信FIFO、11, 12...受信FIFO、18~21...DMAコントローラチャネル、22~25...オーナシップビット判別回路、26...DMAチャネルから送信FIFO10へのデータバス、27...受信FIFO11からDMAチャネルへのデータバス、28...受信FIFO12からDMAチャネルへのデータバス、29...DMAチャネルから送信FIFO13へのデータバス、30, 33...内部データバスから送信DMAチャネルのバス、31, 32...受信DMAチャネルから内部データバスへのバス、34~37...チャネル選択信号線、38...DMAチャネルアポート信号ライン、39...外部メモリ、40...外部バス、41...バスインターフェイス、42...内部データバス、43...外部アポート入力端子、44~47...チャネルアドレス出力信号端子、48...バスアクリリッジ信号端子、49...バス権要求信号端子、50...バス調停回路、51...DMA転送サイクル期間制御回路、52...非DMA転送サイクル期間制御回路、65~68...ディスクリプタ/バッファ転送状態保持回路、69...DMA転送サイクル数、70...バスアクリリッジアサート期間、74...DMA転送サイクル数カウンタ、75...サイクル数カウンタ、76, 77...比較器、78...バス権要求生成回路、83...DMAイネーブルレジスタ、84...イネーブルビット、87...チェインポイント領域、88...バッファポイント領域、89...ステータス領域、90...データ長領域、91...ディスクリプタ領域、92...バッファ領域、93~96...バス権要求生成回路、97...6ビットフリーランカウンタ、109...RAM、110...ROM、111...MPU、112...システムバス、113...通信システム、Rx1~Rx8...受信データ復調回路、Tx1~Tx8...送信データ変換回路。

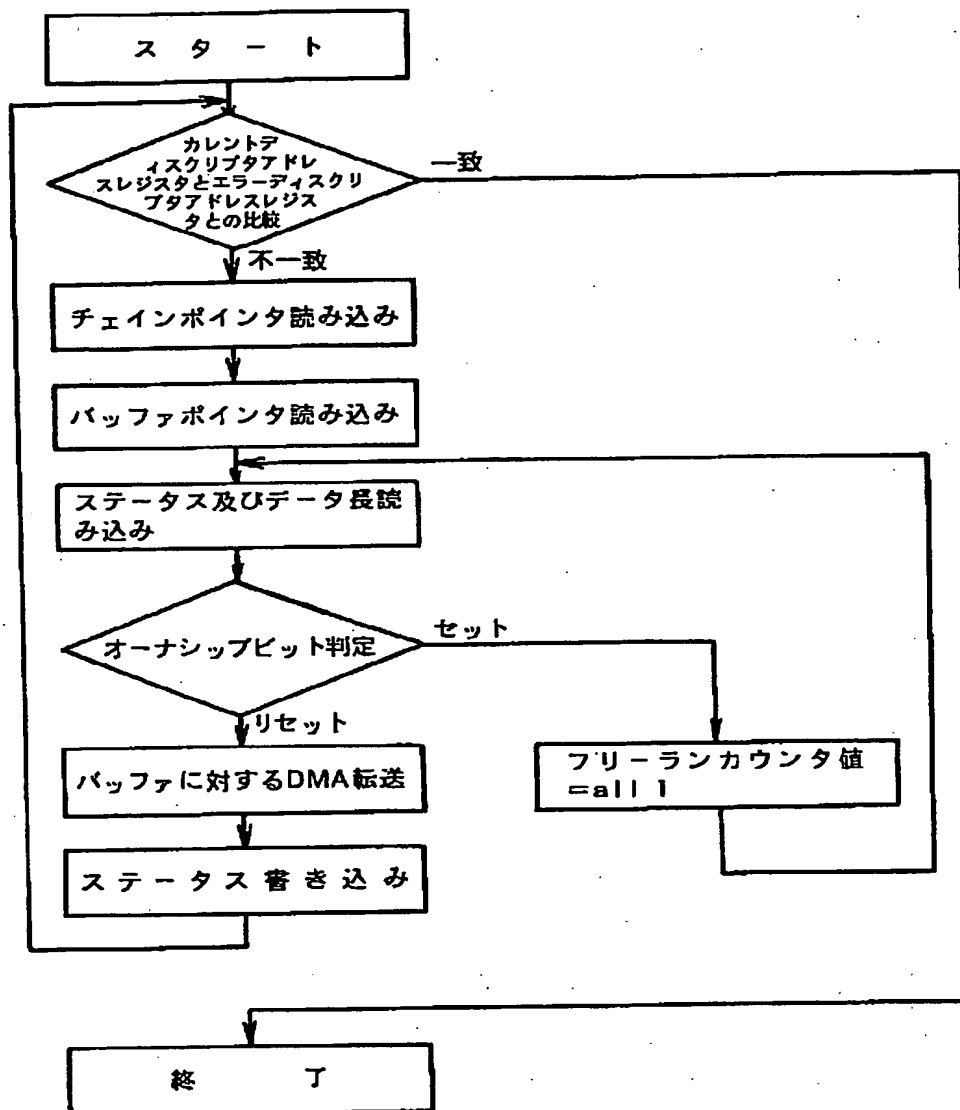
【図1】

図 1



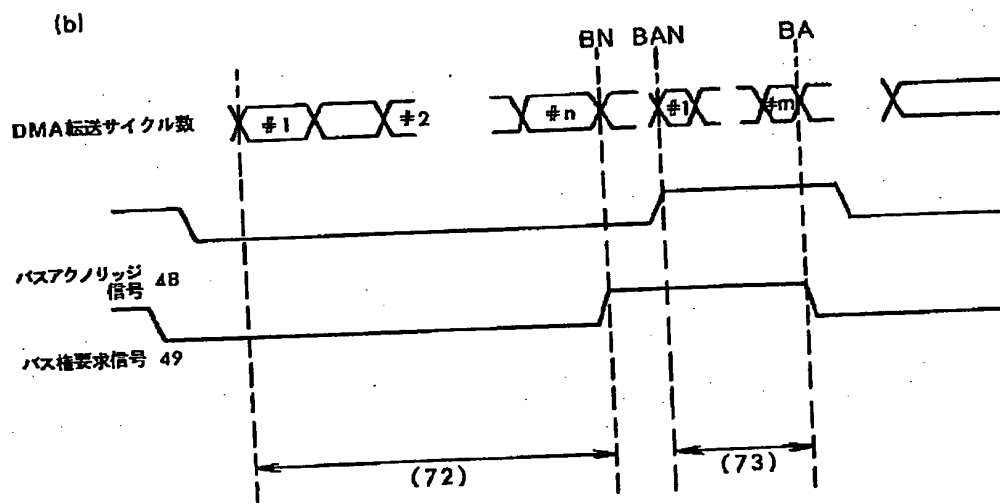
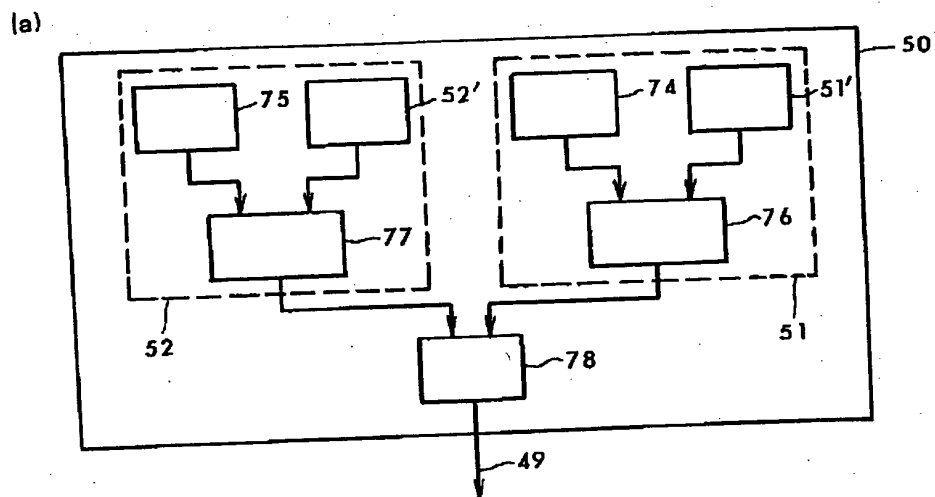
【図 2】

図 2



【図3】

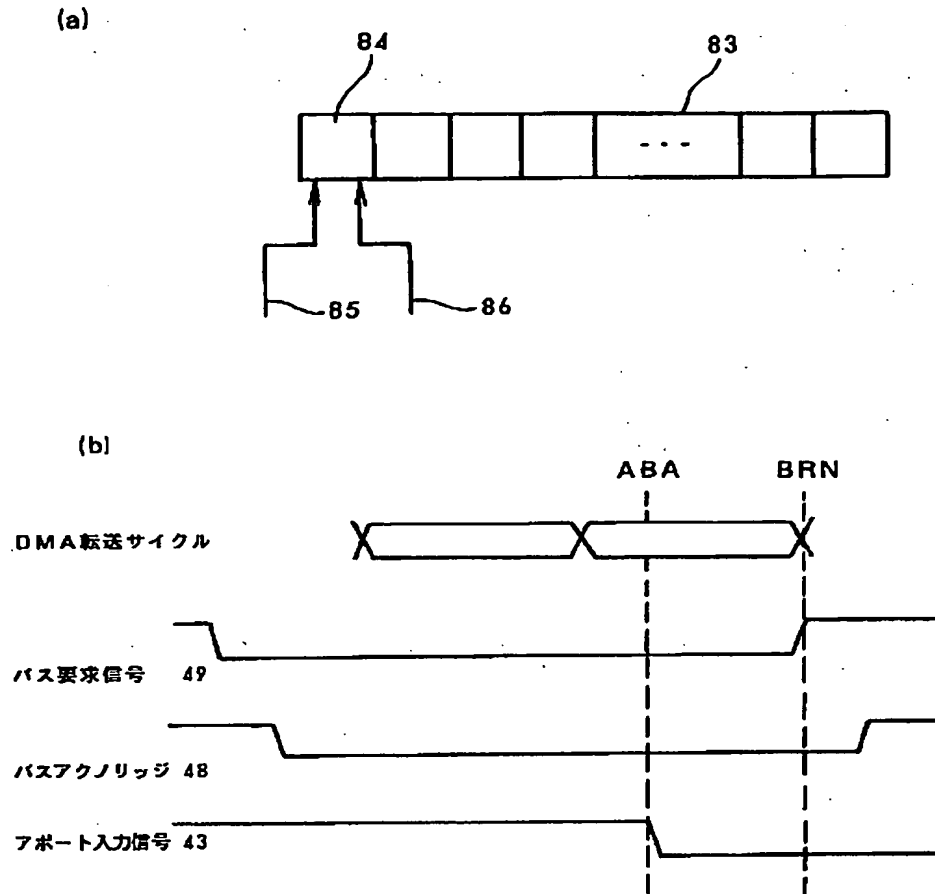
図 3





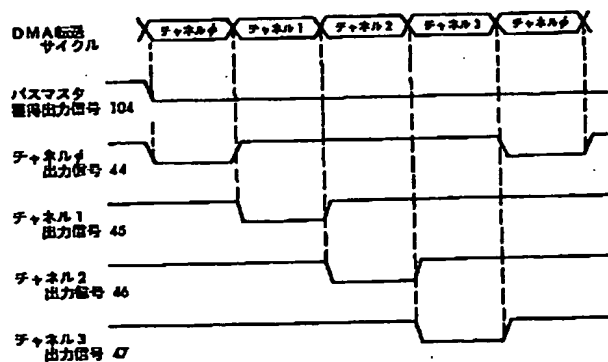
【図 4】

図 4



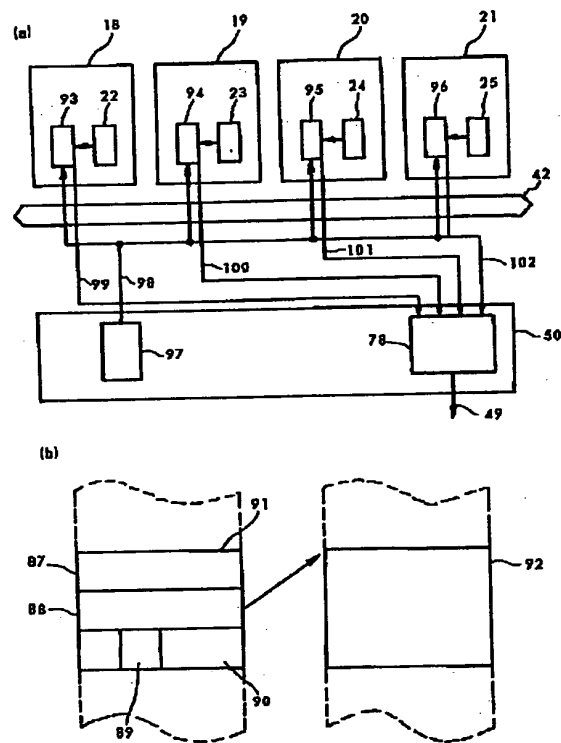
【図 6】

図 6



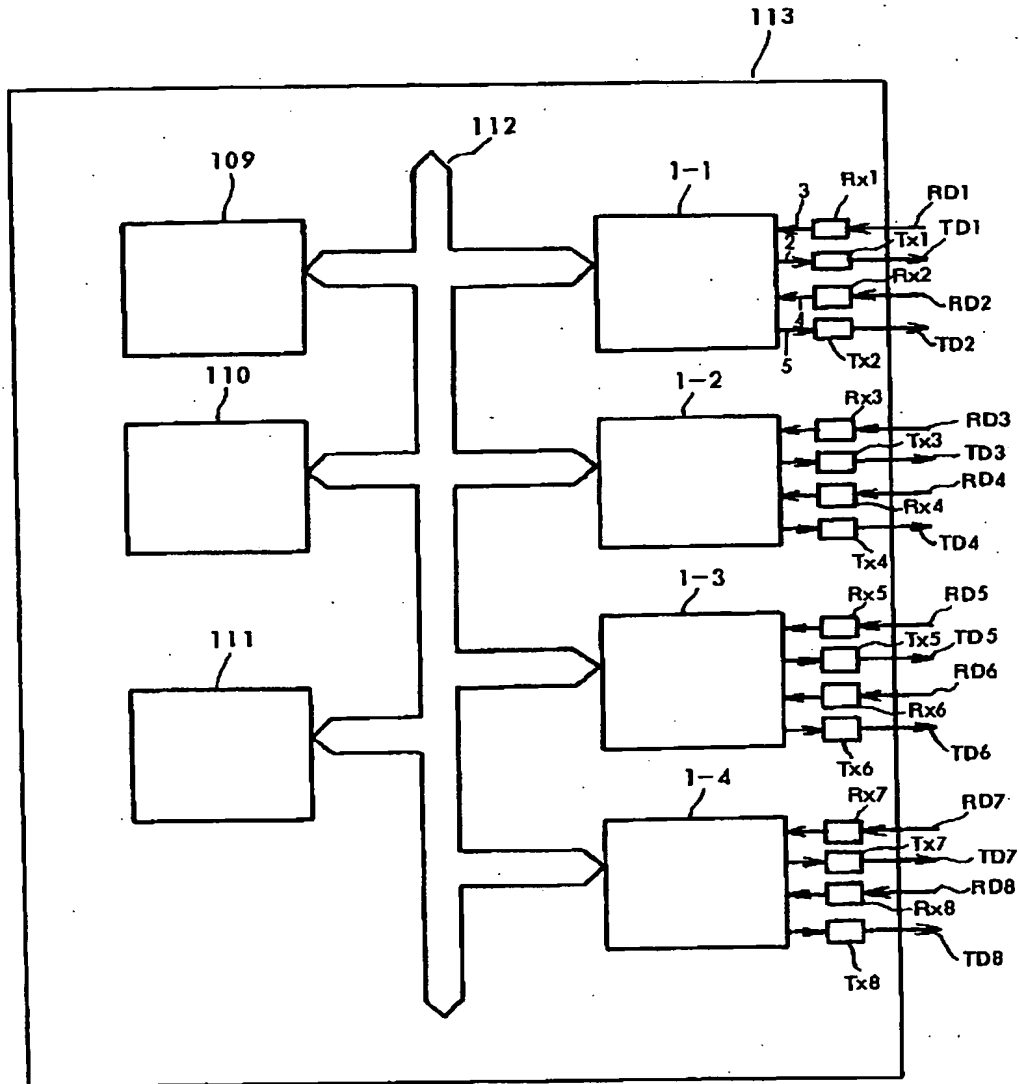
【図5】

図 5



【図7】

図 7



フロントページの続き

(72)発明者 市毛 啓司  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所日立工場内

(72)発明者 渡邊 泰夫  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所日立工場内

(72)発明者 久保木 茂雄  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所日立工場内

(72)発明者 古橋 健司  
 茨城県日立市幸町三丁目1番1号 株式会  
 社日立製作所日立工場内

(72)発明者 松下 裕二  
 茨城県日立市幸町三丁目2番1号 日立エ  
 ンジニアリング株式会社内

(72)発明者 土佐 明  
 茨城県日立市弁天町三丁目10番2号 日立  
 原町電子工業株式会社内

(72)発明者 穂満 慶彰

茨城県日立市幸町三丁目2番1号 日立エ  
ンジニアリング株式会社内